

Arkadiusz BUKOWIEC

UNIwersytet Zielonogórski, Instytut Informatyki i Elektroniki, Licelana 9, 65-417 Zielona Góra

Koncepcja rozproszonego system sterowania o architekturze GALS**Dr inż. Arkadiusz BUKOWIEC**

Dr inż. Arkadiusz Bukowiec ukończył studia inżynierskie (2001) na Politechnice Zielonogórskiej a następnie studia magisterskie (2004) o specjalności inżynieria komputerowa na Uniwersytecie Zielonogórskim. W 2008 roku obronił z wyróżnieniem rozprawę doktorską na Wydziale Elektrotechniki, Informatyki i Telekomunikacji Uniwersytetu Zielonogórskiego w dziedzinie informatyka. Od roku 2004 pracuje w Instytucie Informatyki i Elektroniki Uniwersytetu Zielonogórskiego, obecnie na stanowisku adiunkta.



e-mail: a.bukowiec@iie.uz.zgora.pl

Streszczenie

W artykule omówiona została architektura rozproszonego systemu sterowania zbudowanego z konfigurowalnych struktur FPGA. System specyfikowany jest z wykorzystaniem sieci Petriego. Następnie poddawany jest dekompozycji na składowe automaty z wykorzystaniem algorytmów kolorowania sieci Petriego. Każda składowa implementowana jest niezależnie w oddzielnym układzie FPGA. Aby umożliwić komunikację pomiędzy poszczególnymi składowymi zastosowano architekturę globalnie asynchroniczną lokalnie synchroniczną (GALS). Każda podsieć synchronizowana jest lokalnym sygnałem zegarowym. Komunikacja pomiędzy poszczególnymi podsieciami zrealizowana jest asynchronicznie z wykorzystaniem dodatkowych sygnałów.

Słowa kluczowe: dekompozycja, FPGA, sieć Petriego, sterownik logiczny, synteza logiczna.

Concept of Distributed Control System with GALS architecture**Abstract**

There is presented new architecture of distributed control systems build with FPGA devices in the paper. The specification of control algorithm is made with use of Petri net. It allows specifying parallel processes in easy way. Next, Petri net is decomposed into set of state-machine type subnets. For this purpose there are applied algorithms of coloring of Petri nets. In this case, each subnet represents one parallel process. Each subnet is implemented independently in different FPGA device. To ensure communication between all subnets there is used globally asynchronous locally synchronous (GALS) architecture of whole control system. Each subnet is synchronized by local clock signal. The global communication is made with use of additional control signals. These signals are generated in particular subnets and they are distributed to other ones.

Keywords: decomposition, FPGA, Petri net, logic controller, logic synthesis.

1. Wstęp

Systemy cyfrowe realizowane się, jako połączenie ścieżki danych (bloków funkcjonalnych) oraz ścieżki sterowania (jednostki sterującej) [1, 7]. Podział taki jest przydatny nie tylko ze względu na wygodę projektowania, ale również ze względu na możliwość wielokrotnego wykorzystania wcześniej zaprojektowanych modułów wykonawczych. Tak widziany system wymaga jednak zaprojektowania dedykowanej jednostki sterującej. Istnieje wiele metod specyfikacji takich jednostek, jednak najbardziej popularne jest stosowanie skończonych automatów stanów [2] albo sieci Petriego [3, 6, 8]. Zastosowanie nowych metod syntezy blokowej w procesie projektowania rozproszonej jednostki sterującej umożliwi wymianę tylko pewnych bloków układu w sytuacji, gdy nastąpi modyfikacja algorytmu sterowania. Nowoczesne układy FPGA są wyposażone w osadzone bloki pamięci, które również można wykorzystać do implementacji logiki układu sterującego. Zastosowanie dekompozycji blokowej daje możliwość podziału układu

cyfrowego jednostki sterującej na podzespoły, które w zależności od swojej funkcji mogą zostać łatwo zaimplementowane z wykorzystaniem elementów logicznych różnego typu, pracujących z różnymi szybkościami.

Jako metoda specyfikacji wykorzystywana jest hierarchiczna sieć Petriego typu PT. Umożliwia to specyfikację sterowania hierarchicznymi procesami równoległymi.

W celu rozproszenia systemu sterowania zastosowana jest specyfikacja algorytmu sterowania z wykorzystaniem zbioru połączonych sieci Petriego. Dekompozycji na składowe podsieci dokonuje się z wykorzystaniem algorytmów kolorowania sieci Petriego [5, 9, 10, 11]. W efekcie, każdy kolor reprezentuje jedną podsieć typu automatowego. Aby umożliwić komunikację pomiędzy poszczególnymi podsieciami sterowania zastosowano architekturę globalnie asynchroniczną lokalnie synchroniczną (GALS). Każda podsieć synchronizowana jest lokalnym sygnałem zegarowym. Komunikacja pomiędzy poszczególnymi podsieciami zrealizowana jest asynchronicznie z wykorzystaniem dodatkowych sygnałów.

Każda podsieć typu automatowego może zostać poddana syntezie i implementacji do układu FPGA z wykorzystaniem innych metod syntezy blokowej [4]. W rozwiązaniu takim układ logiczny dekomponowany jest na trzy składowe: układ kombinacyjny, rejestr i dekodery mikrooperacji. Układ kombinacyjny odpowiedzialny jest za realizację równań logicznych warunków odpalenia tranzycji. Rejestr odpowiedzialny jest za zapamiętanie aktualnego globalnego stanu rozpatrywanej podsieci. W opracowanym podejściu stosowane jest kodowanie z wykorzystaniem minimalnej ilości bitów. Dekoder mikrooperacji odpowiedzialny jest za generowanie sygnałów wyjściowych na podstawie aktualnego stanu. Ponieważ kod stanu reprezentowany jest na minimalnej ilości bitów możliwe jest zastosowanie osadzonych bloków pamięci do jego realizacji. Ponieważ typowe osadzone bloki pamięci w układach FPGA są synchroniczne, dekodery ten pełni również funkcję rejestru wyjściowego, co zwiększa stabilność działania jednostki sterującej.

2. Idea rozproszonego systemu sterowania

W omawianym systemie sterowania zastosowano architekturę globalnie asynchroniczną lokalnie synchroniczną (GALS). Ponieważ każdy kolor determinuje jeden proces sekwencyjny, przyjęto, że na podstawie tych kolorów dokona się dekompozycji na podsieć typu automatowego (PSN). W wyniku uzyska się I takich podsieci, gdzie I jest również liczbą kolorów występujących w sieci Petriego. Proces dekompozycji zostanie omówiony w dalszej części tej pracy, przy opisie metody syntezy. Każda z podsieci zostanie zrealizowana z wykorzystaniem układu sekwencyjnego, posiadającym lokalny sygnał zegarowy, o dwupoziomowej architekturze (rys. 1).

Układ kombinacyjny CC^i pierwszego poziomu odpowiedzialny jest za wygenerowanie funkcji wzbudzeń przerzutników i jego działanie można opisać funkcją:

$$D^i = D^i(X, X_Z, Q^i), \quad (3)$$

gdzie X jest zbiorem (podzbiorem) zmiennych wejściowych sieci Petriego; X_Z jest podzbiorem zbioru Z dodatkowych zmiennych boolowskich, utworzonych w procesie syntezy, służących do synchronizacji pracy wszystkich podsieci typu automatowego; Q^i jest zbiorem zmiennych boolowskich wykorzystanych do zapamiętania kodu aktualnie oznakowanego miejsca. Ponieważ podsieć typu automatowego reprezentuje jeden proces sekwencyjny, w każdym momencie, może w niej być oznakowane tylko jedno miejsce. Pamięć układu RG^i , która pamięta kod aktualnie oznakowanego miejsca, zbudowana jest z przerzutników typu D. Liczba wymaganych przerzutników uzależniona jest od liczby miejsc

