

WYKORZYSTANIE UKŁADÓW REKONFIGUROWALNYCH W REGULACJI ADAPTACYJNEJ

Piotr Bubacz

**Instytut Informatyki i Elektroniki, Uniwersytet Zielonogórski
65-246 Zielona Góra, ul. Podgórna 50**

e-mail: P.Bubacz@iie.uz.zgora.pl

STRESZCZENIE

Praca przedstawia możliwości wykorzystania reprogramowalnych układów cyfrowych w regulacji adaptacyjnej. Ujęte w niej zostały informacje na temat regulacji adaptacyjnej jak również układów rekonfigurowalnych. W pracy została zaproponowana architektura układu adaptacyjnego w oparciu o układ rekonfigurowalny FPSLIC firmy Atmel.

1. WPROWADZENIE

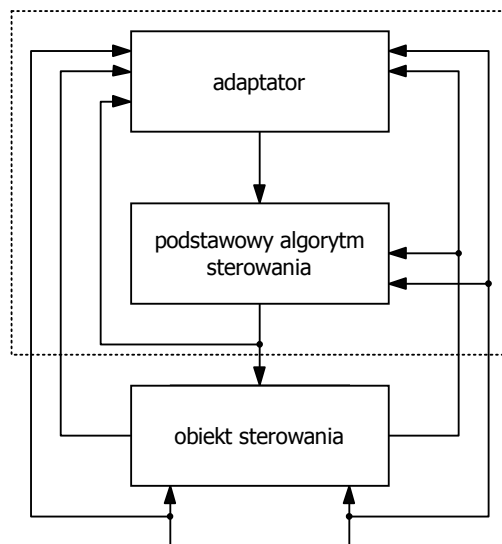
Układy sterowania obecne są na każdym kroku życia współczesnego człowieka. Począwszy od sterowania zabawkami, a skończywszy na sterowaniu sondy marsjańskiej. Dla prostych obiektów można znaleźć proste algorytmy sterowania. Jednak dla niektórych obiektów trudno jest znaleźć algorytm, aby układ działał w sposób optymalny dla konkretnego obiektu i zakłóceń, lub gdy obiekt zmienia się i dane przyjęte na etapie projektowania po pewnym czasie przestają być aktualne. W takim przypadku projektant określa podstawowy algorytm sterowania, ale dodatkowo określa również pewne informacje, które są wykorzystywane do stopniowego polepszania algorytmu podstawowego. Informacje te są również potrzebne do podążania tego algorytmu za zmianami tzw. automatycznej regulacji.

Cyfrowa automatyczna regulacja dla obiektów o dużych stałych czasowych nie jest trudna, lecz gdy potrzeba jest szybkiej adaptacji istnieje konieczność wykorzystywania wydajnych jednostek obliczeniowych. Nowoczesne układy typu System On a Programmable Chip (SOPC) wydają się najlepszym rozwiązaniem tego problemu. Ich moc obliczeniowa jest bardzo duża, a możliwość rekonfiguracji w czasie pracy układu umożliwia szybkie dopasowanie do obiektu sterowanego.

2. REGULACJA ADAPTACYJNA

Regulacja adaptacyjna polega na automatycznym dopasowaniu parametrów regulatora do zmieniających się właściwości obiektu regulacji i jego otoczenia tak, aby zapewnić większą odporność układu regulacji na zmiany. [4]

Algorytm sterowania w systemie adaptacyjnym składa się z dwóch części: algorytmu podstawowego i algorytmu adaptacji, tzn. algorytmu poprawiającego algorytm podstawowy. W systemie zatem można wyróżnić dwa poziomy (rys. 1): poziom niższy (poziom sterowania podstawowego), na którym działa podstawowe urządzenie sterujące bezpośrednio przyjmujące dane z obiektu i wyznaczające decyzje sterujące, oraz poziom wyższy (poziom adaptacji), na którym działa adaptator. Zarówno do podstawowego urządzenia sterującego, jak i do adaptatora wprowadza się wyniki obserwacji obiektu i/lub otoczenia. [2]



Rys. 1. Podstawowa idea adaptacji [2]

3. SYSTEMY REKONFIGUROWALNE

Głównym celem rekonfiguracji systemu jest dostosowanie struktury funkcjonalnej, dostępnej w ramach jego architektury bazowej, do wymagań realizowanych algorytmów. W przypadku realizacji algorytmów, które nie „mieszczą” się w całości w strukturze systemu, zachodzi konieczność ich rozłożenia na sekwencje podzadań realizowanych kolejno w odpowiednich konfiguracjach. Warunkiem niezbędnym do realizacji całego algorytmu jest zdolność systemu rekonfigurowalnego do wymiany danych konfiguracyjnych wraz z przekazaniem wyników uzyskanych w bieżącej konfiguracji do kontynuowania obliczeń w następnej konfiguracji.

Taki sposób rekonfiguracji systemu podczas jego działania jest wyróżniany terminem run-time.

Obecnie stosuje się kilka metod rekonfiguracji układów FPGA. Najprostszym implementacyjnie, ale niezbyt efektywnym sposobem rekonfiguracji, jest zmiana konfiguracji (tzw. kontekstu) całej struktury programowalnej, polegająca na wprowadzeniu strumienia nowych danych konfiguracyjnych. Wada tej metody jest konieczność przerwania pracy całego układu, co w konsekwencji obniża wydajność całego systemu. Układy wyposażone w taki mechanizm rekonfiguracji nazywane są jedno-kontekstowymi. Większość obecnie produkowanych układów FPGA można uważać za układy jedno-kontekstowe o różnych czasach rekonfiguracji (zazwyczaj 1..320ms).

Bardziej efektywnym sposobem rekonfiguracji jest częściowa rekonfiguracja. Częściowa konfiguracja układu jest możliwa pod warunkiem przerwania jego pracy, podobnie jak w przypadku układów jedno-kontekstowych, chociaż dzięki możliwości wymiany tylko niezbędnej części danych konfiguracyjnych średni czas rekonfiguracji może być znacznie krótszy, zależnie od przyjętego sposobu przydziału zadań. Podział zadania obliczeniowego na „warstwy” konfiguracyjne wymaga szczegółowej analizy realizowanego algorytmu i umiejętnej dekompozycji jego struktury. Średni czas rekonfiguracji pojedynczej komórki w strukturach częściowo rekonfigurowanych, nie przekracza 200ns, dlatego są one szczególnie przydatne do konstrukcji rekonfigurowanych systemów realizujących bardzo złożone obliczenia.

Najbardziej przydatne w systemach rekonfigurowalnych są układy wielo-kontekstowe. Tym terminem określaną jest grupa układów reprogramowalnych, tworzących strukturę o kilku warstwach konfiguracyjnych – kontekstach. Warstwy są zorganizowane w taki sposób, że tylko jedna z nich jest aktywna, w tym czasie pozostałe mogą być rekonfigurowane lub pozostawać w spoczynku. Tego typu struktury charakteryzują się działaniem bez przerw, ponieważ konfiguracja każdej warstwy jest przygotowywana z pewnym wyprzedzeniem, podczas działania innej warstwy, zaś operacja uaktywnienia kolejnej warstwy wymaga zaledwie kilku cykli zegara. W zależności od wersji układu możliwe jest sekwencyjne uaktywnianie warstw w stałej kolejności lub dowolnie wybranej.

Aktualnie tylko dwie firmy wspierają w swoich systemach częściową i dynamiczną rekonfigurację. Jednym z nich jest Atmel, produkuje on układy FPSLIC (Field Programmable System Level Integrated Circuit). Układ zawiera procesor, pamięć i logikę programowalną w jednym układzie zintegrowanym. FPSLIC wspiera częściową i dynamiczną rekonfigurację poprzez przełączanie kontekstu [1]. Drugim jest firma Xilinx, oferująca rodzinę układów Virtex, która również wspiera częściową i dynamiczną rekonfigurację. Rekonfiguracja jest możliwa, ponieważ każde z urządzeń może być adresowane indywidualnie. [5]

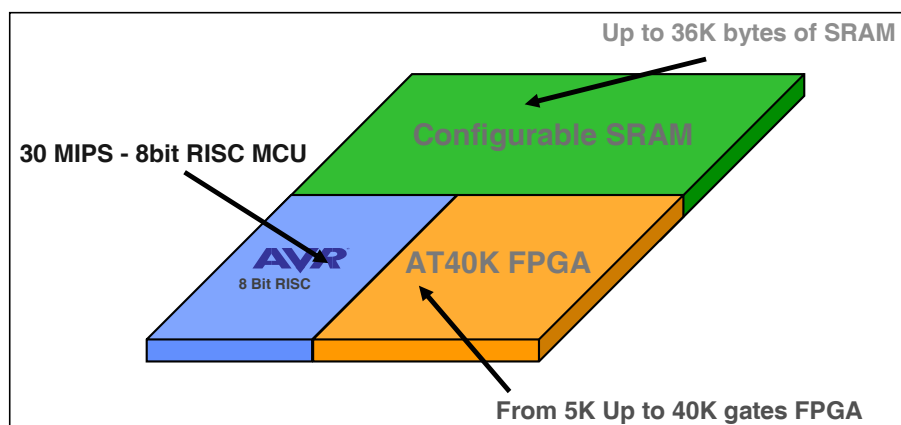
W pracy został wybrany układ FPSLIC, ze względu na dużą popularność na rynku, cenę, jak również fakt posiadania układu FPSLIC na płytce testowej w Instytucie.

4. UKŁAD FPSLIC

Firma Atmel na bazie swoich bogatych doświadczeń na polu rozwiązań systemowych opierających się na mikrokontrolerach oraz pamięciach w szerokiej gamie zastosowań, wprowadziła do sprzedaży ciekawy produkt, będący rozwiązaniem wielu dylematów projektantów. Jeden układ scalony, łatwość programowania, sprawność debugowania, szybkość wdrożenia to cechy nowego kontrolera jednoukładowego serii FPSLIC™ (Atmel AT94K series).

Na rys. 2 została przedstawiona struktura układu, a w szczególności układ zawiera:

- szybki, rozbudowany rdzeń kontrolera 8-bit AVR RISC
- FPGA oparta na pamięci SRAM (do 40 000 bramek)
- do 36 kB dynamicznie alokowanej pamięci SRAM na dane i program
- sprzętowy multiplikator
- 2 UARTy
- dwuprzewodowy interfejs szeregowy
- watchdog
- 3 układy czasowe/liczniki
- zegar rzeczywisty

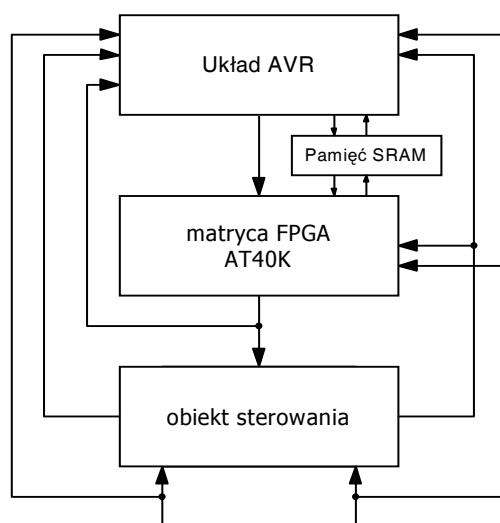


Rys. 2. Struktura wewnętrzna układu FPSLIC [1]

Wydajność układu jest na tyle wysoka (aktualnie ok. 30 MIPS @ 40 MHz), iż pozwala na szerokie zastosowanie i niski koszt projektu. Atmel oferuje godne polecenia oprogramowanie realizujące ideę ISP (In System Programming) wchodzące w skład pakietu System Designer.

5. WYKORZYSTANIE UKŁADU FPSLIC W REGULACJI ADAPTACYJNEJ

Układ FPSLIC może być bazą dla systemu regulacji adaptacyjnej. Na rys. 3 została przedstawiona propozycja architektury takiego systemu. Algorytm podstawowy sterowania jest realizowany sprzętowo w matrycy FPGA, natomiast adaptatorem jest mikroprocesor AVR. Pamięć jest dzielona pomiędzy oba elementy i służy do wymiany informacji między nimi i rekonfiguracji matrycy.



Rys. 3. Wykorzystanie układu FPSLIC w regulacji adaptacyjnej

Podstawowy algorytm sterowania działa bardzo szybko, ponieważ jest to specjalizowany układ sprzętowy zrealizowany w matrycy FPGA. Układ adaptatora zrealizowany jest jako kod programu w procesorze AVR, dzięki temu można realizować nawet bardzo skomplikowane algorytmy adaptacji. W momencie, w którym nastąpi decyzja o zmianie struktury matrycy AVR procesor sprawdzi stan pracy układu, a następnie w odpowiednim momencie dokona zmiany struktury dopasowując układ do zmienionych warunków pracy.

6. WNIOSKI I KIERUNKI DAJSZYCH PRAC

Układy rekonfigurowalne, a w szczególności układ FPSLIC, nadają się idealnie jako układy regulacji adaptacyjnej. Część sprzętowa – matryca FPGA wykonuje zadania sterowania, podczas gdy mikrokontroler AVR działając jako adaptator dokonuje dynamicznej rekonfiguracji matrycy. Dzięki wykorzystaniu mikrokontrolera można stosować nawet bardzo zaawansowane i czasochłonne algorytmy adaptacji

W ramach dalszych prac zostaną przeprowadzone badania w systemie Matlab dotyczące możliwości zastosowania automatycznego przejścia z modelu do implementacji układu FPSLIC. Zostanie zaprojektowany moduł w programie Simulink, podobny do Real-Time Workshop Embedded Koder, będzie on umożliwiał przejście z opisu bloków funkcyjnych w programie Simulink do kodu wykonywalnego w języku C lub assembler dla procesora AVR i kodu VHDL dla matrycy FPGA.

LITERATURA

- [1] ATMEL: *Field Programmable System Level Integrated Circuits (FPSLIC)*,
<http://www.atmel.com/products/FPSLIC/>
- [2] Z. Bubnicki: *Teoria i algorytmy sterowania*, PWN, 2002
- [3] R. Hartenstein: *A decade of reconfigurable computing: a visionary retrospective*, Proc. Design, Automation and Test in Europe (DATE '01), Munich, March 2001 pp. 642 –649
- [4] A. Niederliński, J. Mościński, Z. Ogonowski: *Regulacja adaptacyjna*, PWN, 1995
- [5] XILINX: *Virtex series configuration architecture user guide*,
<http://www.xilinx.com/bvdocs/appnotes/xapp151.pdf>