

WIELOKANAŁOWY GENERATOR CYFROWY

Bartosz Jakubski

**Instytut Informatyki i Elektroniki, Uniwersytet Zielonogórski
65-246 Zielona Góra, ul. Podgórna 50**

e-mail: b.jakubski@iie.uz.zgora.pl

STRESZCZENIE

W artykule zaprezentowano zrealizowany projekt wielokanałowego generatora cyfrowego. Przedstawiono budowę, zasadę działania i właściwości urządzenia na podstawie schematu blokowego. Scharakteryzowano i opisano aplikację współpracującą z urządzeniem. W podsumowaniu wskazano dalszy kierunek badań.

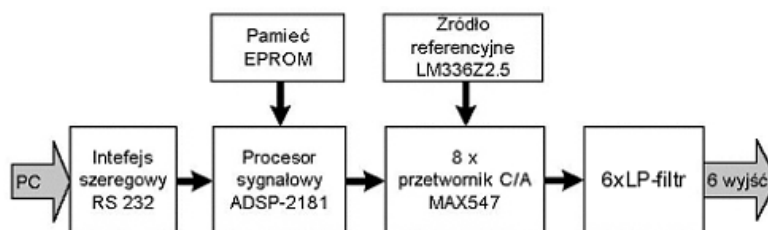
1. WPROWADZENIE

Konstruowanie urządzeń elektronicznych zawsze składa się z kilku etapów. Poprzez ideę, założenia, realizację schematu i wzorów płytek drukowanych, buduje się prototyp. Niezależnie od funkcji pełnionych przez urządzenie konieczne jest zbadanie, czy wynik pracy konstruktora zgodny jest z wcześniej przyjętymi założeniami. Gdy urządzenie nie spełnia przyjętych wymogów, wprowadzane są do projektu konieczne poprawki. Dopiero po testach i próbach zakończonych sukcesem urządzenie może trafić do seryjnej produkcji. Należy dodać, że na końcu etapu produkcyjnego gotowy wyrób jest również testowany. Filtr, wzmacniacz czy element regulacji posiadają cechy, które można poznać na podstawie odpowiedzi układu na zadany sygnał. Na przykład wzmacniacz charakteryzuje się określonym pasmem przenoszenia, wzmocnieniem, przesunięciem fazy, zniekształceniami, szumem. Na podstawie odpowiedzi układu sterowania możemy określić np. rodzaj regulatora lub nawet wyznaczyć jego transmitancję. Do zadania sygnału na wejście badanego obiektu niezbędny jest generator sygnału wzorcowego. W niniejszym artykule, zostanie przedstawiony generator przebiegów programowalnych o bardzo małych zniekształceniach.

2. INFORMACJE PODSTAWOWE

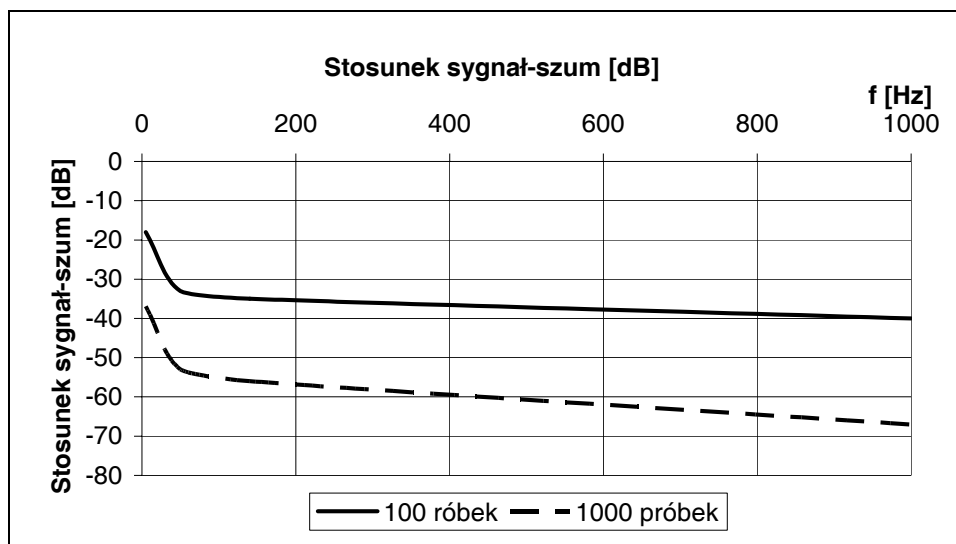
Schemat blokowy prezentowanego generatora pokazany jest na rys. 1. Posiada on 6 wyjść. Przebiegi dla każdego z nich mogą być definiowane odrębnie i są one pod tym względem od siebie niezależne. Wspólna dla wszystkich sześciu wyjść jest tylko częstotliwość podstawowa.

Przy pracy nad prezentowanym generatorem przyjęto w założeniach, że maksymalna generowana częstotliwość powinna wynosić 1kHz przy 1000 próbek na okres. Główny nacisk został położony na poziom zniekształceń sygnału, co zostało w pełni zrealizowane. Dla 1kHz i 1000 próbek/okres poziom zniekształceń S/N (sygnał/szum) dla sygnału sinusoidalnego wyniósł zaledwie -67dB (0,04%), co zostało przedstawione na wykresie 1. Dostępne są jednak znacznie większe częstotliwości przy mniejszej ilości próbek na okres, sięgające dla sygnału sinusoidalnego nawet kilkunastu kHz.



Rys. 1. Schemat blokowy sześciokanałowego generatora funkcyjnego zbudowanego w oparciu o procesor ADSP2181

Jak widać ze schematu blokowego, generator składa się z aplikacji na komputer PC oraz urządzenia, którego sercem jest procesor sygnałowy ADSP-2181 firmy Analog Devices współpracujący z przetwornikiem cyfrowo-analogowym MAX547. Do komunikacji pomiędzy częścią sprzętową i aplikacją został wykorzystany popularny interfejs RS232.



Wykr. 1. Wykres przedstawiający stosunek sygnał-szum w dB w funkcji częstotliwości, dla różnej liczby próbek

3. PROCESOR SYGNAŁOWY ADSP-2181

Obszar zastosowań szesnastobitowego procesora ADSP-2181 firmy Analog Devices to głównie cyfrowe przetwarzanie sygnałów (np. filtry cyfrowe, analiza Fourier'a). Trudno ten typ procesora opisać w kilku zdaniach, jednak na próżno szukać w jego strukturze elementów charakterystycznych dla mikrokontrolerów tzn. komparatorów, pamięci EPROM lub Flash, przetworników A/C itp. Nie posiada on nawet standardowego interfejsu UART. W prezentowanym projekcie jest on emulowany za pomocą flag wejściowej i wyjściowej. Posiada on inne właściwości, niedostępne w mikrokontrolerach. Należy do nich bardzo duża moc obliczeniowa, która w przypadku ADSP-2181 wynosi 40MIPS (milionów instrukcji na sekundę) przy częstotliwości kwarcu 20MHz. Naturalnie wszystkie instrukcje realizowane są w jednym cyklu zegarowym. Program wykonywany jest z wewnętrznej pamięci RAM, do której jest on ładowany z zewnętrznej pamięci stałej po sygnale *reset*. Pamięć RAM ma pojemność 80kB i w stosunku do mikrokontrolerów jest ogromna, dla których 1kB to już zawrotna ilość. Podzielona jest ona po 16 kilobajtów dla programu i dla danych, przy czym dane mają długość 16 bitów, a instrukcje kodowane są na 24 bitach. Procesory DSP posiadają jednostkę wspomagającą operacje mnożenia i jest to tzw. MAC (Multiply ACcumulate module). Pomimo że ADSP-2181 jest szesnastobitowy, to rezultat mnożenia zapisywany jest w rejestrze czterdziestobitowym. Kolejną cechą omawianego układu jest możliwość wykonywania niektórych instrukcji równolegle. Pamięć zewnętrzna i przestrzeń I/O mają oddzielne sygnały sterujące. Możliwe jest zaadresowanie 2048 urządzeń zewnętrznych i 4MB zewnętrznej pamięci RAM lub ROM. Omawiany procesor wyposażony jest również w port DMA, dzięki któremu urządzenia zewnętrzne mają dostęp do wewnętrznej pamięci RAM, którą mogą modyfikować.

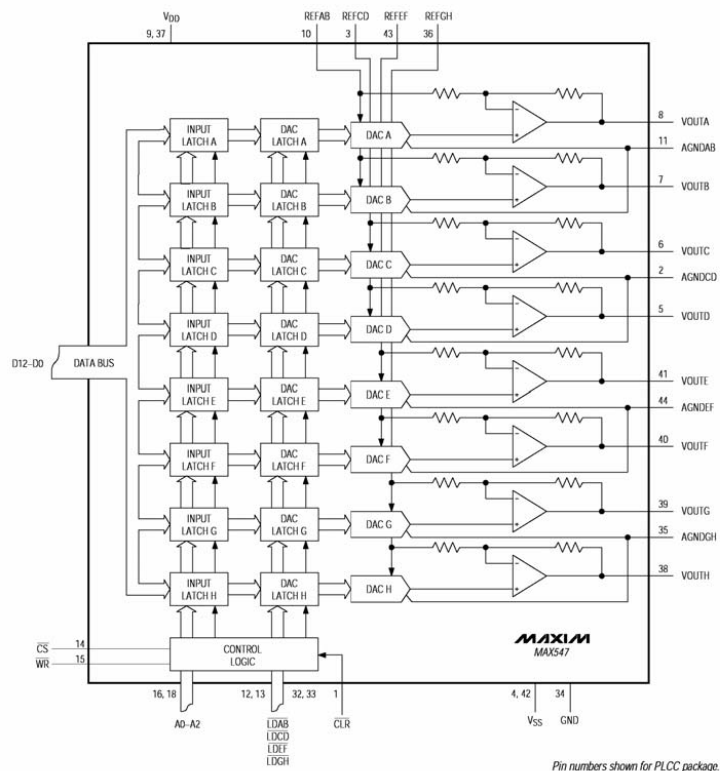
4. PRZETWORNIK CYFROWO-ANALOGOWY MAX547

Schemat blokowy przetwornika pokazany jest na rys. 2. Układ MAX547 jest ośmiokanałowym przetwornikiem C/A o rozdzielczości 13-bitów z równoległym interfejsem. Podstawowe dane dotyczące układu MAX547:

- Pełne 13-bitowe przetworniki C/A;
- 8 przetworników C/A w jednym układzie scalonym;
- Nie wymaga zewnętrznej regulacji;
- Buforowane wyjścia napięciowe;
- Kalibrowana liniowość przetwarzania;
- Gwarantowana monotoniczność do 13 bitów;
- Napięcie zasilania $\pm 5V$;
- Unipolarne lub bipolarne wyjścia o wydajności napięciowej $\pm 4.5V$;
- Szybkość ustalania się wartości na wyjściu $5\mu s$ z dokładnością $1/2LSB$;

- Podwójnie buforowane wejścia cyfrowe;
- Asynchroniczne buforowanie zatrząsków wejściowych oraz zatrząsków par przetworników C/A;
- Asynchroniczne zerowanie wejść przetworników C/A do wartości masy analogowej;
- Automatyczne zerowanie wejść przetworników C/A do wartości masy analogowej po zasileniu układu;
- Kompatybilność z mikroprocesorami oraz układami w technologii TTL/CMOS.

Przetwornik ten cechuje podwójnie buforowany interfejs logiczny z 13-bitową równoległą magistralą danych. Każdy przetwornik C/A posiada zatrząsk wejściowy oraz zatrząsk przetwornika. Dane z zatrząsku przetwornika C/A ustawiają napięcie na wyjściu przetwornika. Ośiem zatrząsków wejściowych jest adresowanych przez trzy linie adresowe. Dane są ładowane do zatrząsków wejściowych pojedynczą instrukcją zapisu. Informacje z zatrząsków wejściowych do zatrząsków przetworników są przesyłane asynchronicznie, za pomocą sygnałów na wejściach $\overline{LDx}$, stanem aktywnym niskim. Układ posiada cztery wejścia $\overline{LDx}$, każde kontroluje dwa przetworniki C/A, a wszystkie zatrząski przetworników można ładować jednocześnie przez zwarcie wszystkich wejść $\overline{LDx}$. Zerowanie wyjść wszystkich ośmiu przetworników do wartości masy analogowej odbywa się asynchronicznie za pomocą wymuszenia stanu niskiego na wejściu $\overline{CLR}$. Sygnał $\overline{CLR}$ ustawia także wartość 1000hex na zatrząskach wejściowych. Po zasileniu układu, uruchamiana jest procedura, o funkcji identycznej jak działanie sygnału $\overline{CLR}$. Przedstawiony przetwornik posiada bardzo małe *glitch'e*, co jest jego bardzo istotną zaletą, gdyż wpływa na zmniejszenie zniekształceń przetwarzanego sygnału. *Glitch* jest to nic innego jak szpilka, przeważnie o znacznej amplitudzie, pojawiająca się w sygnale wyjściowym. Powstaje ona w skutek przełączania kluczy tranzystorowych, zawartych w strukturze układu, w momencie przetwarzania wartości binarnej sygnału na jego reprezentację analogową. Szpilka taka osiąga największą wartość gdy wszystkie bity kodu binarnego zmieniają swoją wartość, np. 011111111111 -> 100000000000. W takim przypadku następuje przełączenie wszystkich kluczy tranzystorowych. Każdy tranzystor „zamyka” i „otwiera” się z różną prędkością, dlatego w stanie pośrednim wartość kodu jest nieustalona (przypadkowa), która następnie jest konwertowana na wartość analogową.

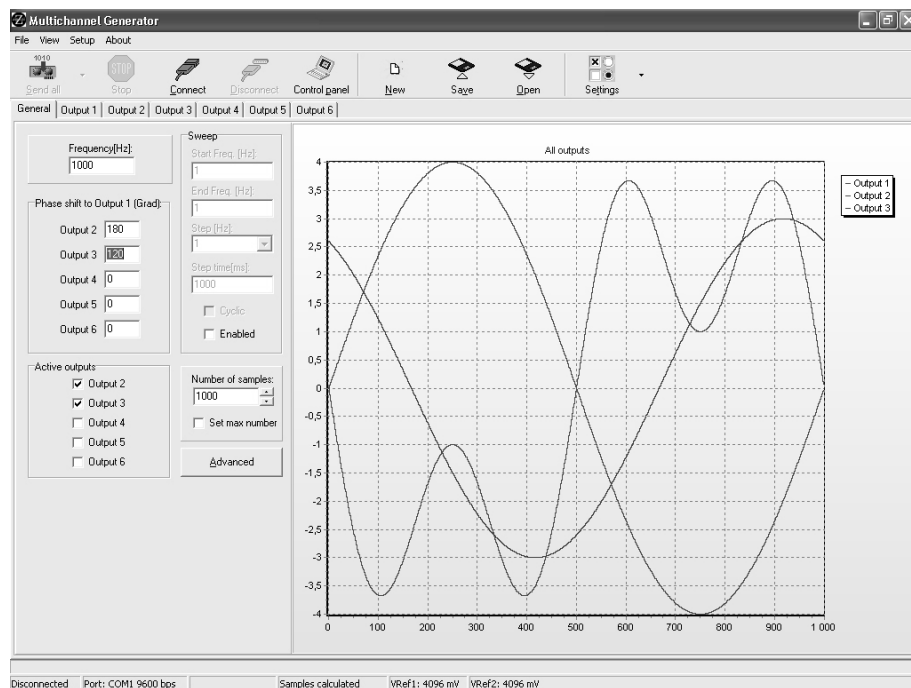


Rys. 2. Schemat funkcjonalny układu MAX547

5. APLIKACJA STERUJĄCA

Możliwości generatora najlepiej jest przedstawić opisując właściwości i funkcje aplikacji sterującej urządzeniem. Na rys. 3 przedstawione jest okno główne programu z aktywną zakładką „General”. Parametry sygnału jakie można na niej ustawić to: częstotliwość podstawowa, liczba próbek na okres i faza sygnału. Dodatkowo w zakładce „General” ustala się parametry funkcji *sweep*, czyli krokowej zmiany częstotliwości. Pola typu *checkbox* w grupie „Active outputs” służą do wybrania kanałów, których próbki mają zostać przesłane do pamięci procesora DSP. W polu wykresu w zakładce „General” wyświetlane są przebiegi wszystkich aktywnych kanałów. Należy pamiętać, że częstotliwość podstawowa oraz liczba próbek na okres jest wspólna dla kanałów. Wykres posiada dodatkowe funkcje, które są dostępne w podręcznym menu po kliknięciu prawym przyciskiem myszki na jego polu. Są to między innymi analiza FFT oraz możliwość powiększenia lub pomniejszenia wykresu. Dzięki analizie FFT można obejrzeć amplitudę, fazę, część rzeczywistą lub urojoną poszczególnych składowych sygnału. Dostępnych jest pięć rodzajów okien: prostokątne, trójkątne, Hanning’a,

Hamming'a oraz Blackman'a. Rozdzielczość analizy FFT można zmieniać w zakresie od 128 do 32768 punktów. Dowolny fragment wykresu można również powiększyć przy użyciu myszki zaznaczając prostokąt nad interesującym nas obszarem z góry w dół.



Rys. 3. Okno główne aplikacji z aktywną zakładką „General”

Kolejne zakładki służą do definiowania parametrów poszczególnych przebiegów. Każda przeznaczona jest dla odpowiedniego kanału. Ich zawartość jest taka sama, dlatego zostanie przedstawiona tylko jedna z nich „Output 1”.

Przebieg można zdefiniować na trzy sposoby:

- określając wartości amplitud i faz poszczególnych harmoniczných (rys. 4a),
- podając amplitudę stanu wysokiego i niskiego oraz czas ich trwania, narastania i opadania zboczy (rys. 4b),
- podając formułę matematyczną (rys. 5).

Dodatkowo dla pierwszych dwóch sposobów można podać również składową stałą (offset). Przełącznik „Form” na rysunkach 4a i 4b umożliwia dokonania wyboru pomiędzy sposobem definiowania przebiegu. Dla ułatwienia wprowadzania formuł matematycznych przygotowane zostało narzędzie „Equation edit” (rys. 5). Aby przyspieszyć pracę przy wprowadzaniu takich samych ustawień dla kilku kanałów, wprowadzono możliwość szybkiego kopiowania zakładek. Wystarczy przełączyć się na zakładkę, w której chcemy wprowadzić zmiany, a następnie wybrać kanał z listy rozwijanej i przycisnąć „Copy settings”. Ustawienia

wybranego kanału zostaną skopiowane do aktualnej zakładki. Aplikacja posiada również możliwość zapisu do pliku definicji przebiegów.

a)

Harmonics	Amplitude[V]	Phase[Grad]	En.
1	1		☒
2	0	0	☐
3	1	45	☒
4	0	0	☐
5	0.2	-15	☒
6	0	0	☐
7	0	0	☐
8	0	0	☐
9	0	0	☐
10	0	0	☐
11	0	0	☐
12	0	0	☐
13	0	0	☐
14	0	0	☐
15	0	0	☐
16	0	0	☐
17	0	0	☐
18	0	0	☐
19	0	0	☐
20	0	0	☐

Form
☒ Sine Generator ☐ Pulse Generator ☐ Equation

Select output: Edit equation Offset [V]: 0

Copy settings

b)

A2[V]: 3

A1[V]: -2

tD1: 10 % tR: 30 % tD2: 25 % tF: 35 %

Form
☐ Sine Generator ☒ Pulse Generator ☐ Equation

Select output: Edit equation Offset [V]: 0

Copy settings

Rys. 4. a) Pole pozwalające zdefiniować właściwości poszczególnych harmoniczných sygnałów
 b) Pole pozwalające zdefiniować właściwości przebiegu prostokątnego (trójkątnego)

Equation edit

Y= SIN(2*X)*COS(X+ARCCOS(0,5))

SIN COS TG CTG ARCTG ARCSIN ARCCOS
 SINH COSH TANH COTH EXP LN LOG10
 LOG2 SQRT ABS FLOOR CEIL TRUNC SIGN

1 2 3 / *
 4 5 6 - +
 7 8 9 ()
 0 . x 1/x ^

Evaluate Cancel

Rys. 5. Narzędzie służące do definiowania formuły matematycznej opisującej przebieg

6. ZAKOŃCZENIE

W artykule przedstawiono projekt modelu generatora programowalnego o bardzo małych zniekształceniach, za pomocą którego można odtworzyć sygnały zdefiniowane trzema sposobami. Projekt jest wstępem do badań nad urządzeniami odtwarzającymi parametry rzeczywistej energii elektrycznej z bardzo dużą dokładnością. Dalsze badania będą prowadzone pod kątem metod stabilizacji generowanych przebiegów, co związane jest z dynamiką całego układu.

LITERATURA

- [1] B. Jakubski, J. Wiszniewski: *Model generatora sygnałów sinusoidalnych*, UZ, Zielona Góra, 2003
- [2] A. Daniluk: *RS 232C – Praktyczne programowanie*, Helion, Gliwice, 2001
- [3] R. G. Lyons: *Wprowadzenie do cyfrowego przetwarzania sygnałów*, WKŁ, Warszawa, 2000
- [4] *Using the ADSP-2100 Family*, Analog Devices
- [5] *ADSP-21xx Manual*, Analog Devices