

Badania symulacyjne wielofazowego, cyfrowego generatora przebiegów poliharmonicznych o dużej rozdzielczości nastaw kąta fazowego.

mgr inż. Bartosz JAKUBSKI

Urodzony w 1979 roku. Ukończył kierunek Elektrotechnika w ramach Zintegrowanych Studiów Uniwersytetu Zielonogórskiego i Fachhochschule Giessen-Friedberg w Niemczech w 2003 roku. Od 2004 jest asystentem w Instytucie Informatyki i Elektroniki na Uniwersytecie Zielonogórskim. Interesuje się cyfrowym przetwarzaniem sygnałów i zastosowaniami procesorów sygnałowych.

e-mail: B.Jakubski@iie.uz.zgora.pl



Streszczenie

W artykule zaprezentowano strukturę wielofazowego, cyfrowego generatora przebiegów sinusoidalnych o częstotliwościach sieciowych zrealizowanego z zastosowaniem procesora sygnałowego i układu do bezpośredniej syntezy cyfrowej DDS. Opisano opracowane modele symulacyjne i sposób symulacji komputerowej. W badaniach uwzględniono struktury generatorów z pojedynczym sygnałem synchronizującym oraz z wieloma sygnałami synchronizującymi przetwarzanie C/A. W wyniku symulacji uzyskano charakterystyki rozdzielczości nastaw kąta fazowego w zależności od rodzaju i parametrów generatora cyfrowego.

Abstract

The structure of the digital single-phase generator of sinus-courses for network frequencies was presented in the article. He was realized with the use of signal processor and chip to the Direct Digital Synthesis (DDS). Worked out simulating models and the way of the computer simulation were described. The characters of the errors of the outputs frequency and the frequency spectra of the outputs signal were got in the result of the simulation.

Słowa kluczowe: wielofazowy generator cyfrowy, bezpośrednia synteza cyfrowa DDS, jitter, kąt fazowy.

Keywords: multiphase digital generator, direct digital synthesis DDS, jitter, phase angle.

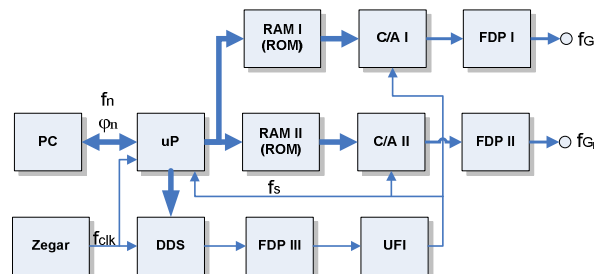
1. Wstęp

Kalibratory mocy pozwalają na swych zaciskach wyjściowych zasymulować (odtworzyć) dokładnie i w bardzo szerokim zakresie moc. Służą one głównie do sprawdzania przyrządów pomiarowych mocy. Ważnym układem w kalibratorze mocy odpowiedzialnym za dokładne odtworzenie częstotliwości, kształtu przebiegu i kątów przesunięć fazowych jest generator wielofazowy. Właściwości generatorów cyfrowych tj.: prosta konstrukcja (brak częstotliwościowego sprzężenia zwrotnego), możliwość generowania przebiegów o kształtachonych, prosta adjustacja oraz prosty sprzęg z komputerem PC sprawiają, że są one częściej stosowane w kalibratorach mocy.

2. Struktura wielofazowego generatora cyfrowego

Na rys.1 została przedstawiona struktura wielofazowego generatora cyfrowego [5], w skład której wchodzi następujące bloki:

- komputer PC,
- generator częstotliwości zegarowej f_{clk} ,
- układ bezpośredniej syntezy cyfrowej DDS,
- mikroprocesor sygnałowy μP ,
- pamięci RAM I, RAM II,
- przetworniki cyfrowo-analogowe C/A I i C/A II,
- filtry dolnoprzepustowe FDP I, FDP II i FDP III,
- układ formowania impulsów UFI,



Rys. 1. Schemat blokowy wielofazowego generatora cyfrowego
Fig. 1. The block scheme of the multi-phase digital generator

Mikroprocesor w takt częstotliwości próbkowania f_s adresuje pamięć RAM I i RAM II, w których zapisany jest ten sam kształt sygnału. Zawartość komórek pamięci zaadresowanych przez procesor przepisywana jest do przetworników C/A, które dokonują konwersji reprezentacji binarnej wartości próbek na wartość analogową. Filtry dolnoprzepustowe na wyjściach przetworników C/A wygładzają przebiegi wyjściowe generatora. Nastawy generatora można wprowadzać za pomocą komputera PC, wyposażonego w odpowiednią aplikację. Częstotliwość próbkowania f_s ustala się na podstawie wzoru:

$$f_s = f_n * N \quad (1)$$

gdzie:

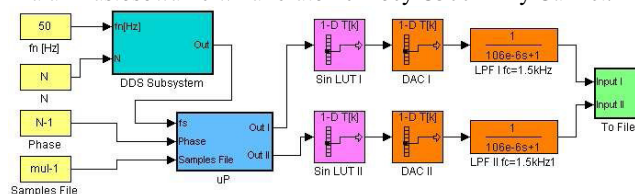
- f_s – częstotliwość próbkowania,
- f_n – nastawa częstotliwości sygnału wyjściowego,
- N – liczba próbek przypadająca na jeden okres przebiegu.

Minimalną wartość, o jaką można zmienić przesunięcie kąta fazowego pomiędzy sygnałami f_{GI} i f_{GII} ustala się na podstawie wzoru (2).

$$R\phi = \frac{360^\circ}{N} \quad (2)$$

3. Model symulacyjny i wyniki symulacji wielofazowego generatora cyfrowego

Na rys.2 przedstawiono model symulacyjny cyfrowego generatora wielofazowego. Jest to model rzeczywistego generatora, który znalazł zastosowanie w kalibratorze mocy C300 firmy Calmet.



Rys. 2. Model symulacyjny wielofazowego generatora cyfrowego
Fig. 2. The simulating model of the multi-phase digital generator

Blok *DDS Subsystem* (rys.2) jest odpowiednikiem bloków DDS, FDP III i UFI z rys.1. W celu ułatwienia modelu symulacyjnego (rys. 2) przyjęto, że nastawy do bloku *DDS Subsystem* przekazywane są bezpośrednio, a nie za pośrednictwem mikroprocesora μP , jak ma to miejsce na schemacie blokowym z rys. 1. Momenty przejść przez zero zapisywane są na dysku przez blok o nazwie *To File*, tym samym umożliwiając analizę rozdzielczości nastaw kąta przesunięcia fazowego.

Analizując wzór (2) można zauważyć, że drogą do zmniejszenia współczynnika $R\phi$, a co za tym idzie zwiększenia rozdzielczości nastaw kąta przesunięcia fazowego, jest zwiększenie liczby pró-

bek N przypadających na jeden okres sygnału wyjściowego generatora. Rozwiązanie takie ma jednak parę znaczących wad. Zwiększenie liczby próbek w sygnale wyjściowym jest równoważne ze wzrostem częstotliwości próbkowania tego sygnału. Jak pokazano w artykule [1] zwiększenie częstotliwości próbkowania przetwornika C/A może niekorzystnie wpłynąć na stosunek sygnału do szumu w sygnale wyjściowym. Poza tym rozwiązanie takie bardzo znacząco obciąża system mikroprocesorowy. Współczesne procesory pracują z bardzo dużymi częstotliwościami i wykonanie jednej mikroinstrukcji zajmuje pojedyncze nanosekundy. Jednakże transakcje związane z zapisem próbek do przetworników C/A zajmują nawet kilkadziesiąt cykli procesora, tym samym zmniejszając jego wydajność. W takim przypadku może się okazać, że do realizacji algorytmów stabilizacji kątów konieczny będzie drugi procesor. W modelu symulacyjnym oraz fizycznym generatora wielofazowego zastosowano technikę decymacji w celu uniknięcia dużych częstotliwości próbkowania sygnałów wyjściowych generatora. Przyjęto, że na jeden okres sygnału wyjściowego przypada x próbek. Aby uzyskać dużą rozdzielczość nastaw kąta przesunięcia fazowego, w pamięci generatora zapisano $N = k \cdot x$ próbek przebiegu sinusoidalnego. Podczas generacji przebiegu indeks kolejnej próbki wylicza się według wzoru (3):

$$x(i) = k \cdot i + \text{offset} - z \quad (3)$$

$$\text{offset} = \left\lfloor N \frac{360 - \varphi_n}{360} \right\rfloor \quad (4)$$

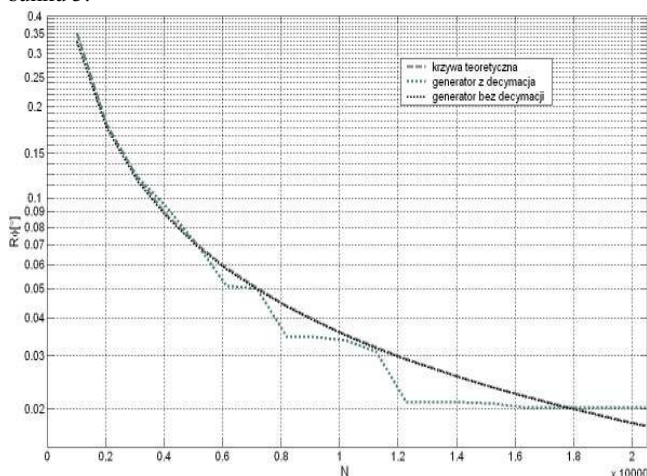
$$z = 0 \text{ dla } k \cdot i + \text{offset} < N \quad (5)$$

$$z = N \text{ dla } k \cdot i + \text{offset} \geq N \quad (6)$$

gdzie:

- i – indeks kolejnej próbki w przebiegu $i = 0, 1, 2, \dots, N-1$,
- k – wielokrotność próbek przypadających na okres zapisanych w pamięci,
- offset – liczba konieczna do uzyskania pożądanego kąta przesunięcia fazowego,
- N – liczba próbek zapisanych w pamięci generatora,
- φ_n – nastawiony kąt przesunięcia fazowego.

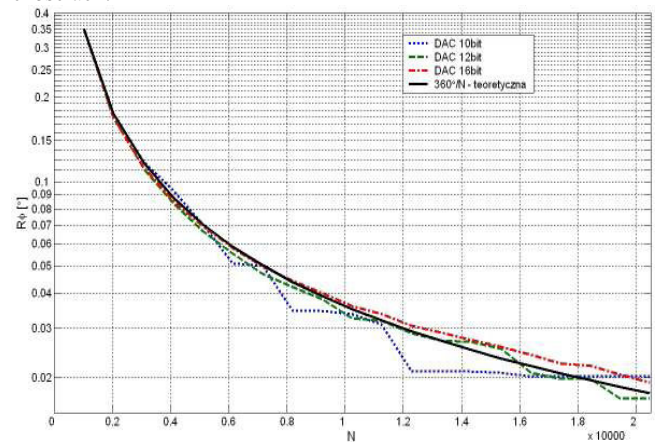
Technikę tą można zastosować jedynie w ograniczonym zakresie. Porównanie wyników symulacji generatorów bez zastosowania techniki decymacji oraz z jej zastosowaniem pokazano na rysunku 3.



Rys. 3. Porównanie wielkości $R\varphi$ w generatorze bez zastosowania i z zastosowaniem decymacji w sygnałach wyjściowych
Fig. 3. The comparison of the $R\varphi$ in generators with use decimation and without decimation

Z rysunku 3 widać, że krzywa uzyskana dla generatora bez techniki decymacji bardzo dokładnie pokrywa się z krzywą teoretyczną wyliczoną ze wzoru (2). W przypadku generatora z zastosowaniem techniki decymacji wartości wielkości $R\varphi$ odbiegają znacznie od teoretycznych przy wzroście liczby próbek zapisa-

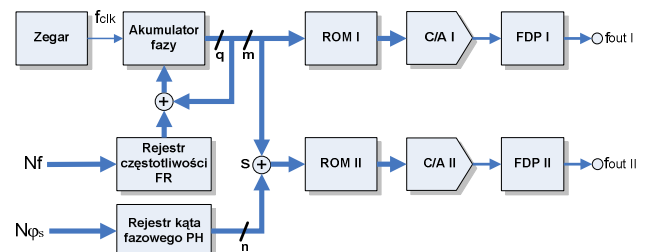
nych w pamięci. Łatwo zauważyć, że przy bardzo dużej liczbie próbek N nie widać żadnych zmian wielkości $R\varphi$. Poprawę wyników można uzyskać stosując w generatorze przetworniki C/A o większej rozdzielczości przetwarzanego słowa. Na rysunku 4 przedstawiono wyniki symulacyjne generatora z zastosowaną techniką decymacji dla przetworników C/A o różnych rozdzielczościach.



Rys. 4. Zależność $R\varphi$ od rozdzielczości wyjściowych przetworników C/A oraz liczby próbek N zapisanych w pamięci generatora
Fig. 4. Dependence $R\varphi$ from the resolution of output D/A converters and the number of samples N written to the memory of the generator

4. Wielofazowy, cyfrowy generator o dużej rozdzielczości nastaw kąta fazowego

Nowoczesne scalone układy DDS pozwalają na zmianę kąta fazowego generowanego sygnału z pewnym krokiem w całym zakresie kąta pełnego. Technikę tą można wykorzystać przy projektowaniu generatorów wielofazowych w celu uzyskania dużej rozdzielczości nastaw kąta fazowego. Na rysunku 5 przedstawiony jest schemat blokowy wielokanałowego układu DDS. Dzięki sumatorowi S istnieje możliwość zmiany kąta fazowego sygnału $f_{out II}$ w zakresie od 0° do 360° . Krok, z jakim można zmienić kąt fazowy sygnału $f_{out II}$ zależy od szerokości słowa, jakie można zapisać w rejestrze PH.



Rys. 5. Schemat blokowy wielokanałowego układu DDS
Fig. 5. The block scheme of the multi-channel DDS

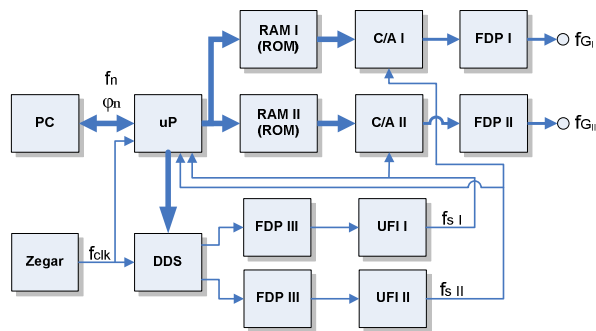
Schemat blokowy z rysunku 6 przedstawia wielokanałowy generator cyfrowy o dużej rozdzielczości nastaw kąta fazowego. Praca przetworników C/A I i C/A II w tym generatorze nie jest synchronizowana tym samym sygnałem, jak ma to miejsce w generatorze z rysunku 1. Zmieniając kąt przesunięcia fazowego sygnału f_{sII} , poprzez zmianę nastaw wielokanałowego układu DDS, można przesunąć w czasie moment konwersji przetwornika C/A II. Dzięki temu mechanizmowi zwiększa się rozdzielczość nastaw kątów fazowych generatora wielofazowego. Technikę tę nazwano *metodą zmiany kąta fazowego sygnału synchronizującego*. Rozdzielczość nastaw kąta fazowego generatora określona jest wzorem (7).

$$R\varphi = \frac{360^\circ}{N} * \frac{1}{2^n} \quad (7)$$

gdzie:

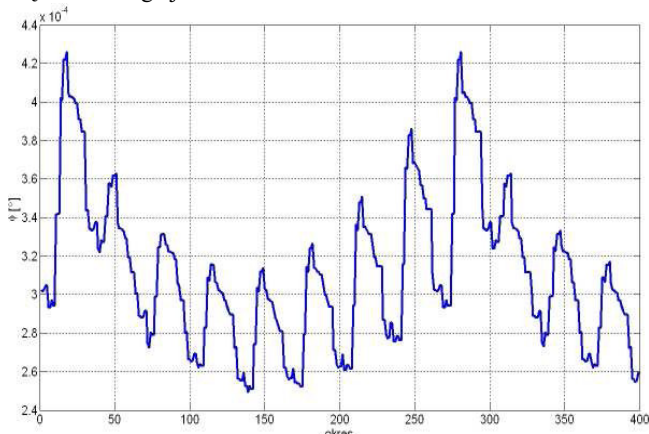
- N – liczba próbek przypadająca na jeden okres przebiegu,

- n – szerokość słowa programującego kąt przesunięcia fazowego w wielokanałowym układzie DDS (rys. 5).



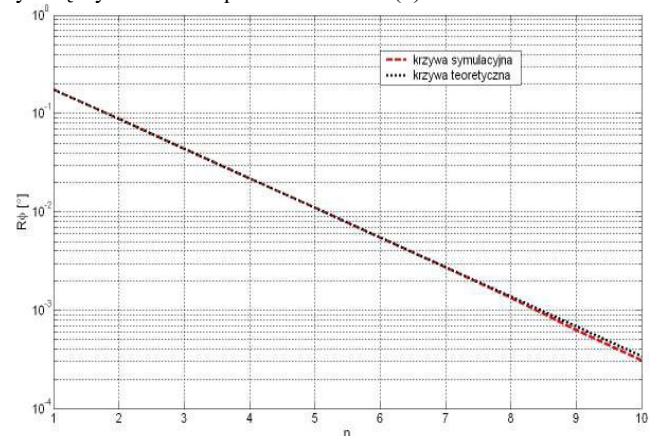
Rys. 6. Schemat blokowy wielofazowego generatora ze zmianą kąta fazowego sygnału próbkującego
Fig. 6. The block scheme of the multi-phase generator with changing angle of the sampling signal

W sygnale generowanym przez układ DDS występuje drżenie okresu, tzw. jitter. Drżenie to przekłada się na zmiany chwilowego kąta przesunięcia fazowego w generatorze. Na rysunku 7 pokazano przykładową charakterystykę zmian kąta w zależności od numeru generowanego okresu. Łatwo zauważyć, że zmiany te mają charakter okresowy i długookresowa wartość średnia kąta przesunięcia fazowego jest stała.



Rys. 8. Charakterystyka zmian kąta przesunięcia fazowego na wyjściu generatora wielofazowego od numeru generowanego okresu
Fig. 8. Relationship among the changes of the phase angle and number of the generated period

Na rysunku 8 pokazano wynik symulacji wielokanałowego generatora cyfrowego o dużej rozdzielczości nastaw kąta fazowego. Badano wpływ liczby bitów słowa programującego kąt przesunięcia fazowego w wielokanałowym układzie DDS na rozdzielczość nastaw kąta fazowego generatora dla stałej liczby próbek przypadającej na okres przebiegu wyjściowego ($N=1024$). Linę teoretyczną wykreślono na podstawie wzoru (7).



Rys. 8. Zależność $R\phi$ od szerokości słowa n programującego kąt przesunięcia fazowego w wielokanałowym układzie DDS
Fig. 8. Relationship among $R\phi$ and the width of the word n programming the phase angle in multi-channel DDS

Z rysunku 8 wynika, że krzywa uzyskana w wyniku symulacji bardzo dokładnie pokrywa się z krzywą teoretyczną, tym samym potwierdzając słuszność wzoru (7).

5. Podsumowanie

W nowoczesnych konstrukcjach kalibratorów napięć i prądów przemiennych coraz częściej stosuje się generatory cyfrowe. W artykule zaprezentowano schemat blokowy wielofazowego generatora cyfrowego zbudowanego z użyciem procesora i układu do bezpośredniej syntezy DDS (rys.1) oraz wielofazowego, cyfrowego generatora o dużej rozdzielczości nastaw kąta fazowego (rys.6).

Na podstawie badań symulacyjnych, jak i z użyciem modelu fizycznego stwierdzono, że rozdzielczość nastaw kąta przesunięcia fazowego w generatorze zbudowanym według schematu z rys. 1 silnie zależy od liczby próbek zapisanych w pamięci generatora. Duże rozdzielczości nastaw kąta przesunięcia fazowego wymagają wysokich częstotliwości próbkowania sygnałów wyjściowych. Wiąże się to z koniecznością stosowania bardzo wydajnych procesorów oraz szybkich przetworników C/A. Stosując technikę deymacji można ograniczyć wymogi, co do wydajności systemu, kosztem gorszego odwzorowania zależności (2).

Stosując wielokanałowy układ DDS (rys.5), można zbudować wielofazowy, cyfrowy generator o dużej rozdzielczości nastaw kąta fazowego (rys.6). W generatorze takim można uzyskać o wiele większą rozdzielczość nastaw kąta fazowego (wzór 7), niż wynikałoby to z liczby próbek zapisanych w pamięci generatora. Mała liczba próbek i niska częstotliwość próbkowania umożliwiają realizację wielu funkcji w jednym procesorze, tym samym upraszczając system mikroprocesorowy. Również wymagania odnośnie wyjściowych przetworników C/A stają się mniejsze.

Układy DDS cechuje drżenie okresu w sygnale wyjściowym (*ang. period jitter*), dlatego należało sprawdzić wpływ tego efektu na kąt fazowy generatora. Jak wynika z badań, występujący jitter w sygnałach wyjściowych układów DDS wprowadza okresowe zmiany chwilowego kąta przesunięcia fazowego i nie ma znaczącego wpływu na wartość średnią kąta przesunięcia fazowego. W sposób doświadczalny została potwierdzona słuszność wzoru (7).

6. Literatura

- [1] Rudy von de Plassche: Scalane przetworniki analogowe-cyfrowe i cyfrowo-analogowe, WKŁ, 2001.
- [2] Wesolowski P.: Programmable polyphase AC generator system, Politechnika Zielonogorska, 1996.
- [3] Jakubski B., Wiszniewski J.: Model cyfrowego generatora sygnałów sinusoidalnych, Uniwersytet Zielonogorski, Zielona Góra 2003.
- [4] Jakubski B., Wiszniewski J.: Wielokanałowy generator sygnałów programowalnych, Elektronika Praktyczna, 6/2005, str.10-16, 7/2005, str.33-36.
- [5] Kluger A.: Dwusygnałowy, programowalny generator funkcyjny, XXXI-sza Międzynarodowa Konferencja Metrologów, materiały konferencyjne str. 291, Białystok 1999.
- [6] Cooper H.: Why complicate frequency synthesis?, Electronic Design, July 1974.
- [7] Hsin-Chuan Chen, Jen-Shiun Chiang: A low-jitter phase-interpolation DDS using dual-slope integration, IEICE Electronics Express, Vol.1 No.12, 333-338.
- [8] Zs. Pápay: Numerical Distortion in Single-Tone DDS, IEEE Instrumentation and Measurement Technology Conference, 2001
- [9] J. Tierney, C. M. Rader, B. Gold: A digital frequency synthesizer, IEEE Trans. Audio Electroacoust., vol. 19, pp. 48-57, Mar. 1971.
- [10] Chandler D.: Phase Noise and Voltage Controlled Crystal Oscillators, <http://www.sss-mag.com/pdf/vcxophasejitter.pdf>

Title: Simulating testing of the single-phase digital generator of sinus courses.

Artykuł recenzowany