Jan MOCHA¹, Dariusz KANIA¹, Tomasz WOŹNICA² POLITECHNIKA ŚLĄSKA, INSTYTUT ELEKTRONIKI

² INSTYTUT TECHNIKI I APARATURY MEDYCZNEJ ITAM W ZABRZU

Wykorzystanie przesuniętych w fazie sygnałów zegarowych do redukcji zaburzeń elektromagnetycznych w układach FPGA

Mgr inż. Jan MOCHA

Ukończył studia na Wydziale Automatyki, Elektroniki i Informatyki Politechniki Śląskiej w 2007 roku. Jest doktorantem w Instytucie Elektroniki Politechniki Śląskiej. Jego zainteresowania naukowe koncentrują się wokół układów logiki programowalnej, praktycznych aspektów wykorzystania elektroniki w aplikacjach przemysłowych i medycznych oraz zagadnień związanych z kompatybilnością elektromagnetyczną.



e-mail: jan.mocha@polsl.pl

Mgr inż. Tomasz WOŹNICA

Ukończył studia na Wydziale Automatyki. Elektroniki i Informatyki Politechniki Śląskiej w 1999 roku. Jest asystentem w Instytucie Techniki i Aparatury Medycznej w Zabrzu. Od 2003 roku jest kierownikiem laboratorium Kompatybilności Elektromagnetycznej Instytutu i pracuje nad doprowadzeniem do zgodności z wymaganiami norm z zakresu EMC urządzeń medycznych opracowywanych w Instytucie.

e-mail: tomaszw@itam.zabrze.pl

Streszczenie

W artykule przedstawiono metodę redukcji zaburzeń elektromagnetycznych emitowanych przez układ FPGA. Istota metody polega na wykorzystaniu sygnałów zegarowych przesuniętych względem siebie o 1/4 okresu oraz elementów rozwiązań charakterystycznych dla architektury typu GALS. Do generacji sygnałów zegarowych, wykorzystano dostępne w układach FPGA firmy XILINX bloki zarządzania sygnałem zegarowym DCM. Przydatność praktyczna zaproponowanego rozwiązania, została zweryfikowana przez pomiar zaburzeń elektromagnetycznych układu testowego.

Słowa kluczowe: układy programowalne, FPGA, emisja zaburzeń elektromagnetycznych (EME), układy lokalnie synchroniczne-globalnie asynchroniczne, GALS.

On Reduction of EME in FPGAs Using Clock Phase Shifting

Abstract

The paper presents an idea of reducing electromagnetic emission with use of globally asynchronous locally synchronous design methodology [4]. The presented idea is dedicated to Xilinx-type FPGAs. A Digital Clock Manager (DCM) [8] is used for generating four phase-shifted clock signals (Fig. 2). The idea can easily be applied to existing synchronous circuits. The structure of the circuit has to be decomposed into four clock domains (Fig. 1), and in some cases, data flow has to be synchronized [4]. A special test design architecture, that assures a possibly large number of state transitions, has been proposed (Fig. 3). Usefulness of the proposed approach has been verified by measurements of conducted (Fig. 4) and radiated (Fig. 5) electromagnetic emission from a test circuit. To compare with electromagnetic emission of the standard approach, the same circuit has been implemented as a structure in which all 4 parts of the circuit were synchronized by the same clock. The measurement results show reduction of the electromagnetic emission by about 7dB (Fig.6 and Fig.7). It can be observed that electromagnetic emission has been reduced in the entire band. The measurements proof usefulness of the presented design methodology. Partitioning a design into phase-shifted clock domains introduces a little overhead connected with data synchronization. Using DCM blocks does not introduce additional hardware costs, as DCMs are an internal resource of FPGAs.

Keywords: Programmable Logic Device (PLD), Field Programmable Gate Array (FPGA), electromagnetic emission (EME), globally asynchronous locally synchronous (GALS).

Dr hab, inż. Dariusz KANIA Prof. Pol. Śl.

Ukończył studia na Wydziale Automatyki, Elektroniki i Informatyki Politechniki Śląskiej. Pracę doktorską obronił w 1995, habilitacyjną 2004r. Jest profesorem w Instytucie Elektroniki Politechniki Śląskiej. Jego zainteresowania naukowe koncentrują się wokół różnorodnych problemów związanych z syntezą, wszelkiego typu programowalnych układów i systemów cyfrowych.



e-mail: dariusz.kania@polsl.pl

1. Wstęp

Zaburzenia elektromagnetyczne można podzielić na dwie grupy: zaburzenia przewodzone oraz zaburzenia promieniowane. Zaburzenia przewodzone propagują się w postaci prądów o częstotliwościach radiowych w połączeniach wewnątrz danego urządzenia i mogą poprzez przewody połączeniowe wydostawać się na zewnątrz urządzenia. Zaburzenia promieniowane mają charakter fali elektromagnetycznej, która jest emitowana głównie przez elementy obwodu drukowanego. Zaburzenia promieniowane są emitowane również przez strukturę wewnętrzną układów scalonych - poprzez ich obudowę [1].

Poziomy dopuszczalne zaburzeń elektromagnetycznych emitowanych przez urządzenia oraz sposób ich pomiaru zostały dokładnie określone przez stosowne normy (np. dla urządzeń informatycznych w normie PN-EN55022). Istnieje również norma (IEC 61967) określająca pięć sposobów pomiaru oraz dopuszczalne poziomy zaburzeń emitowanych przez układy scalone (ang. Integrated Circuits ICs) [2]. Problematyka kompatybilności elektromagnetycznej układów scalonych przedstawiona została obszernie w [1].

Nie ulega wątpliwości, że zaburzenia emitowane przez pojedyncze układy scalone mają wpływ na poziom emisji zaburzeń urządzenia, którego są częścią. Mogą również wpływać niekorzystanie na inne bloki funkcjonalne urządzenia, np. zakłócać pracę wrażliwych bloków analogowych.

Układy cyfrowe, ze względu na impulsowy charakter pracy, są szczególnie istotnym źródłem zaburzeń elektromagnetycznych. Mamy w nich bowiem do czynienia z impulsowym poborem prądu zasilania oraz skokową zmianą napięcia na liniach sygnałowych. Zjawisko to jest bardzo istotne w przypadku układów scalonych o bardzo dużej skali integracji VLSI (ang. Very Large Scale Integration), takich jak mikrokontrolery, czy układy programowalne FPGA.

Współcześnie produkowane układy programowalne FPGA są układami o złożoności kilkuset tysięcy bramek przeliczeniowych. Oczywistym staje się, że ze względu na ogromne zasoby sprzętowe oraz częstotliwość pracy sięgająca kilkuset MHz, stają się istotnym źródłem zaburzeń elektromagnetycznych.

Realizując system cyfrowy w układach programowalnych FPGA, dąży się do eliminacji opóźnień w liniach zegarowych powodujących tzw. zjawisko skew, którego występowanie prowadzi do wadliwego działania zaprojektowanego systemu. Eliminacja opóźnień prowadzi do sytuacji, w której zmiana stanu wszystkich elementów układu występuje w tym samym momencie. W pełni synchroniczne działanie układu powoduje powstawanie m.in. zaburzeń określanych mianem szumu synchronicznego przełączania (ang. simultaneous switching noise) [1].

Bardzo często zaburzenia powodowane przez scalone układy cyfrowe są na tyle duże, że redukcja ich wartości poprzez np. odsprzęganie zasilania, filtrowanie sygnałów oraz przemyślany projekt obwodu drukowanego nie jest możliwa. Należy wtedy dążyć do redukcji zaburzeń wynikających z synchronicznej pracy całego układu, np. poprzez celowe wprowadzanie "jittera" do sygnału zegarowego (ang. *spread spectrum clock*) [3], zwiększanie czasu narostu zboczy sygnałów, zastępowaniu układów synchronicznych układami lokalnie synchronicznymi-globalnie asynchronicznymi GALS (ang. *Globally Asynchronous Locally Synchronous*) [4] lub całkowicie asynchronicznymi [5, 6]. W literaturze można spotkać również rozwiązania polegające na celowym i przemyślanym wprowadzaniu w linie sygnałów zegarowych opóźnień (ang. *clock skew*) [7].

Celem artykułu jest przedstawienie sposobu realizacji układów cyfrowych implementowanych w strukturach FPGA prowadzącego do minimalizacji emitowanych zaburzeń elektromagnetycznych.

2. Architektura opracowanego układu GALS

Zaproponowane przez autorów rozwiązanie można zaliczyć do układów o architekturze lokalnie synchronicznej-globalnie asynchronicznej (GALS). Projektowany układ jest dzielony na cztery niezależne bloki – Clock_n° Region (Rys. 1). Podział układu dokonywany jest "ręcznie" przez projektanta. W zaproponowanym rozwiązaniu nie zostały określone mechanizmy synchronizacji wymiany danych pomiędzy blokami. Informacje dotyczące budowy takiego interfejsu można znaleźć w pracy [4] dotyczącej budowy układów typu GALS.



Rys. 1. Zmodyfikowana architektura układu implementowanego w FPGA Fig. 1. Modified architecture of circuit implemented in FPGA

Do każdego bloku doprowadzono indywidualny sygnał zegarowy. Sygnały zegarowe mają taką samą częstotliwość. Zostały natomiast przesunięte względem siebie o 90° – opóźnione o ¼ okresu (Rys. 1). Dzięki temu nie występuje jednoczesne przełączanie przerzutników w całej strukturze, co prowadzi do redukcji emisji zaburzeń elektromagnetycznych.



Rys. 2. Blok DCM wraz z sygnałami zegarowymi [8]

Fig. 2. The DCM block with clock signals shifted for 0, 90, 180 and 270 degrees with respect to reference clock signal [8]

Przesunięte sygnały zegarowe wytwarzane są przez sprzętowy blok zarządzania sygnałem zegarowym DCM (ang. *Digital Clock Manager*). Bloki DCM wbudowane są praktycznie we wszystkie układy FPGA firmy XILINX. Szczegółowe informacje na temat działania oraz możliwości wykorzystania bloków DCM można znaleźć w [8]. Na Rys. 2 przedstawiono wykorzystane sygnały bloku DCM oraz wykresy czasowe sygnałów zegarowych występujących na jego wyjściach. Zewnętrzny sygnał zegarowy doprowadzony jest na wejście CLKIN. Natomiast na wyjściach CLK0, CLK90, CLK180 i CLK270 uzyskujemy sygnały zegarowe przesunięte o 90°. Wejście RST jest wejściem zerowania bloku DCM. Wejście CLKFB (sprzężenie zwrotne) jest wykorzystywane przez blok DCM do eliminacji zjawiska *skew* z linii zegarowej o zerowym przesunięciu fazy [8]. Każdy z niezależnych bloków ma przypisaną grupę wejśćwyjść układu FPGA (Rys. 1). Sygnały zewnętrzne są doprowadzone poprzez odpowiednie bloki wejścia-wyjścia IOBs (ang. *Input/Output Blocks*). Ponadto istnieje możliwość doprowadzania wspólnych dla wszystkich czterech bloków globalnych sygnałów wejściowych (ang. *Global Input Signals*). Jednym z globalnych sygnałów wejściowych jest sygnał zerowania bloku DCM.

Budowa układu testowego

Do przeprowadzenia praktycznych eksperymentów wykorzystano płytę prototypową firmy XILINX z układem Spartan-3. Płyta uruchomieniowa oprócz układu FPGA zawiera blok zasilania, generator sygnału zegarowego o częstotliwości 50MHz oraz inne układy peryferyjne, które podczas badań nie były wykorzystane [9]. Wszystkie sygnały układu FPGA zostały dodatkowo wyprowadzone na złącza na krawędziach płytki.

Aby zweryfikować przydatność zaproponowanej architektury do redukcji emisji zaburzeń, zaimplementowany układ testowy powinien charakteryzować się możliwie największą liczbą elementów logicznych zmieniających stan logiczny w każdym takcie sygnału zegarowego. Jako układ testowy zaimplementowany został rejestr przesuwający złożony z 800 przerzutników D (Rys. 3). Wszystkie przerzutniki mają wspólny sygnał zegarowy. Za pomocą sygnału LOAD do rejestru przesuwającego wpisywana jest asynchronicznie wartość początkowa wynosząca 10101...10 – zapewnia to zmianę stanu każdego przerzutnika w kolejnych taktach zegara. Sygnał z ostatniego przerzutnika (D₇₉₉) został wyprowadzony na zewnątrz układu FPGA (sygnał Q_{OUT}).



Rys. 3. Budowa rejestru przesuwającego wykorzystanego jako układ testowy Fig. 3. The structure of tested shift register

Przedstawiony na Rys. 3 rejestr przesuwający został zaimplementowany w każdym z czterech bloków prezentowanej architektury. Wykorzystanych zostało zatem 3200 przerzutników, co stanowi 83% wszystkich przerzutników wykorzystywanego układu FPGA. Wejścia wpisu (LOAD) wszystkich bloków zostały podłączone do wspólnego sygnału z grupy globalnych sygnałów wejściowych (Rys. 1, blok IBs). Wyjścia Q_{OUT} poszczególnych bloków zostały wyprowadzone na zewnątrz układu FPGA i obciążone dwójnikiem RC (równoległe połączenie kondensatora 4,7pF oraz rezystora 100k Ω), "emulującym" obciążenie wejściem układu scalonego.

Aby możliwe było porównanie proponowanej architektury z klasycznym układem synchronicznym, zaimplementowano układ analogiczny do wyżej opisanego mający tylko jeden sygnał zegarowy (wykorzystano wyjście CLK0 bloku DCM).

Układ Spartan-3 w prototypowej płycie zasilany jest z trzech niezależnych źródeł napięcia: 3,3V – zasilanie bloków wejściawyjścia IOBs, 2,5V – zasilanie bloków DCM oraz interfejsu konfiguracyjnego oraz 1,2V – zasilania logiki wewnętrznej układu (ang. *core*) [8, 9].

W badaniach emisji przewodzonej postanowiono skupić się jedynie na pomiarze zaburzeń w liniach zasilających logikę wewnętrzna układu programowalnego (napięcie 1,2V). Prąd zasilający bloki IOBs związany jest w dużej mierze z konfiguracją buforów wyjściowych układu oraz ich obciążeniem, dlatego na tym etapie prac został pominięty.

Blok zasilania logiki wewnętrznej układu FPGA został zmodyfikowany zgodnie z Rys. 4. Norma IEC 61967 zaleca umieszczenie rezystora pomiarowego w doprowadzeniach masy, ale ze względu na badanie jedynie prądu zasilania logiki wewnętrznej układu FPGA, taki sposób pomiaru był niemożliwy [2]. Aby uwydatnić występujące zaburzenia, zmniejszono liczbę kondensatorów odsprzegających w liniach zasilających 1,2V.



Rys. 4. Układ do pomiaru zaburzeń przewodzonych Fig. 4. A circuit for measurements of conducted electromagnetic disturbance

Przy pomiarze zaburzeń promieniowanych umieszczono płytkę z zaimplementowanym układem testowym prototypowa





Rys. 5. Pomiar zaburzeń promieniowanych z wykorzystaniem komory GTEM Radiated disturbance measurement with GTEM cell Fig. 5.

Do pomiarów wykorzystano analizator widma R3131A firmy ADVANTEST o paśmie od 9kHz do 3GHz. Pomiary były prowadzone z włączonym tzw. detektorem "max hold". Szerokość pasma rozdzielczego RBW (ang. resolution bandwidth) analizatora widma wynosiła 100kHz.

4. Wyniki eksperymentów

Norma IEC 61967 zaleca pomiar widma zaburzeń w przedziale częstotliwości od 150kHz do 1GHz. Przeprowadzone badania wstępne wykazały jednak brak zaburzeń pochodzących od badanego układu w paśmie częstotliwości poniżej 25MHz. W tej sytuacji pomiary wykonywano w przedziale częstotliwości od 20MHz do 1GHz.

Pomiary widma prądu zasilającego logikę wewnętrzną układu FPGA, w którym zastosowano proponowaną metodę redukcji zaburzeń elektromagnetycznych wykazały zmniejszenie zaburzeń o ok. 7dB w stosunku do klasycznej synchronicznej konstrukcji (Rys. 6). Zauważyć można ponadto, znaczną redukcję zaburzeń w okolicach częstotliwości 100MHz oraz powyżej 300MHz.



Zaburzenia przewodzone dla klasycznej synchronicznej (a) oraz zmody-Rys. 6. fikowanej architektury (b) układu testowanego

Fig. 6. Conducted electromagnetic disturbances for synchronous (a) and modified configuration (b) of test device

W przypadku zaburzeń promieniowanych wyniki pomiarów napięcia na wyjściu komory GTEM zostały przedstawione na Rys. 7. Zaburzenia o największej wartości uległy zmniejszeniu o ok. 7dB w stosunku do klasycznej, synchronicznej konstrukcji. Redukcja zaburzeń promieniowanych nastąpiła w całym badanym przedziale częstotliwości. W przypadku zaburzeń promieniowanych większość zaobserwowanych zakłóceń jest promieniowanych przez ścieżki obwodu drukowanego pomiędzy wyjściami Q_{OUT} układu testowego, a obciążającym je dwójnikiem RC. Jest to typowe w przypadku współpracy układu FPGA z innymi układami scalonymi. Należy

również zwrócić uwagę, że układ FPGA pracuje z częstotliwością 50MHz, natomiast zaimplementowany układ testowy dzieli sygnał zegarowy przez dwa, stąd mierzone zaburzenia mają charakter harmonicznych sygnału o częstotliwości 25MHz.



Rys. 7. Zaburzenia promieniowane dla klasycznej synchronicznej (a) oraz zmodyfikowanej architektury (b) układu testowanego

Fig. 7. Radiated electromagnetic disturbance from synchronous (a) and modified configuration (b) of test device

5. Podsumowanie

Przeprowadzone eksperymenty wykazały przydatność zaproponowanej architektury do redukcji zaburzeń elektromagnetycznych emitowanych przez układy FPGA. Wykorzystanie bloków DCM do generowania sygnałów zegarowych nie prowadzi do konieczności wykorzystania dodatkowych elementów układu programowalnego.

Pewna nadmiarowość sprzętowa proponowanego rozwiązania wynika z konieczności zapewnienia wymiany danych pomiędzy pracującymi względem siebie asynchronicznie blokami. Mechanizm synchronizacji nie był analizowany na tym etapie prac. Każdy synchroniczny blok ma przypisane własne bufory wejścia-wyjścia, co prowadzi do redukcji zaburzeń promieniowanych przy przesyłaniu danych do układów zewnetrznych.

Celem dalszych prac będzie pełniejsze wykorzystanie zalet architektury typu GALS oraz możliwości bloków DCM do redukcji zaburzeń elektromagnetycznych emitowanych przez układy FPGA. Prowadzone będą również prace nad mechanizmami przesyłania danych pomiędzy blokami.

6. Literatura

- [1] S. Ben Dhia, M.Ramdani, E. Sicard: Electromagnetic Compatibility of Integrated Circuits: Techniques for Low Emission and Susceptibility. Springer Science+Business Media, USA, New York 2006.
- T. Ostermann, B. Deutschmann: Characterization of the EME of Inte-[2] grated Circuits with Help of the IEC Standard 61967. ETW'03, pp. 132-137, The Netherlands, Maastricht 2003.
- [3] J. Kim, D. G. Kam, P. J. Jun, J. Kim: Spread Spectrum Clock Generator With Delay Cell Array to Reduce Electromagnetic Interference. IEEE Transactions on Electromagnetic Compatibility, Vol. 47, No. 4, pp. 908-920, Nov. 2005.
- [4] M. Krstic, E. Grass, F. K. Gurkaynak, P. Vivet: Globally Asynchronous, Locally Synchronous Circuits: Overview and Outlook. IEEE Design & Test of Computers, Vol. 24, Issue 5, pp. 430-441, Sept.-Nov. 2007.
- [5] G. F. Bouesse, N. Ninon, G. Sicard, M. Renaudin, A. Boyer, E. Sicard: Asynchronous Logic Vs Synchronous Logic: Concrete Results on Electromagnetic Emissions and Conducted Susceptibility. EMC Compo'07, Italy, Torino, 2007.
- [6] G. F. Bouesse, G. Sicard, A. Baixas, M. Renaudin: Quasi Delay Insensitive Asynchronous Circuits for low EMI. EMC Compo'04, France, Angers 2004
- [7] I. Blunno, G.A. Narboni, C. Passerone: An automated methodology for low electro-magnetic emissions digital circuits design. EUROMICRO Symposium on Digital System Design (DSD'04), pp. 540-547, France, Rennes 2004.
- [8] XILINX: Spartan-3 Generation FPGA User Guide. UG331, v. 1.4, June 25, 2008.
- [9] XILINX: Spartan-3 FPGA Starter Kit Board User Guide. UG130, v. 1.2, June 20, 2008.

Artykuł recenzowany